

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168196

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/3205
H01L 29/78

(21)Application number : 09-334483

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 04.12.1997

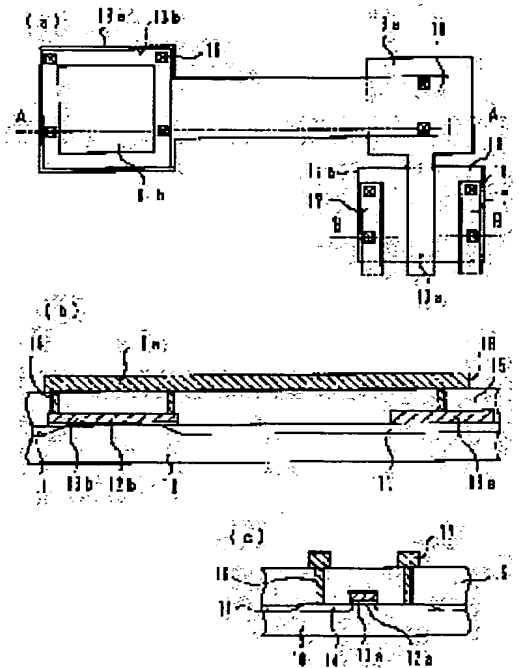
(72)Inventor : TAKEUCHI MASAHIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of electrical breakdowns of a gate insulating film, due to the movement of the electric charges which are charged in an electrode pad through the plasma processing in the manufacturing process to a gate electrode.

SOLUTION: On a semiconductor substrate 10, a MOS capacitor, which is constituted of a dielectric film 12b formed at the same time as a gate insulating film 12a and a polysilicon film 13b of an upper electrode, formed at the same time as a gate electrode 13a thereon, is formed approximately the same size as an electrode pad 18a at the lower layer of the part of the electrode pad 18a of an electrode wiring layer 18, that is electrically connected to the gate electrode 13a. The polysilicon film 13b of the upper electrode reduces the quantity of the electric charges flowing into the gate electrode 13a by the electrical connection to the electrode wiring layer 18 and prevents the breakdown of the gate electrode 12a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-168196

(43)公開日 平成11年(1999)6月22日

(51) Int.Cl.⁸

識別記号

FI

H O 1 L 27/108
21/8242
21/3205
29/78

H O 1 L 27/10
21/88
27/10
29/78

6 8 1 F
T
6 2 1 C
3 0 1 X

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21)出願番号

特願平9-334483

(22) 出題日

平成9年(1997)12月4日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 竹内 雅彦

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

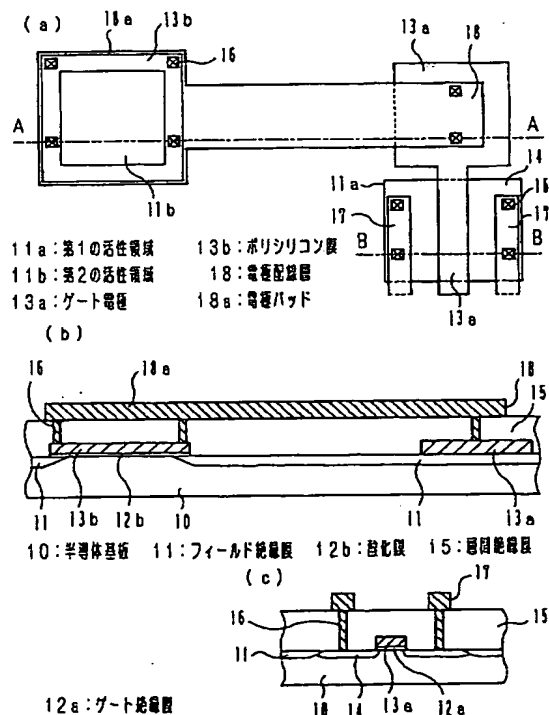
(74)代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 MOS型半導体装置において、製造工程におけるプラズマ処理などにより電極パッドに帯電された電荷がゲート電極へ移動して、ゲート絶縁膜の電気的な破壊を招くことを防止して、信頼性の高い半導体装置を得る。

【解決手段】 半導体基板 10 上に、ゲート絶縁膜 12 a と同時形成した誘電体膜 12 b と、その上にゲート電極 13 a と同時形成した上部電極 13 b とで構成される MOS キャパシタを、ゲート電極 13 a と電気的に接続する電極配線層 18 の電極パッド 18 a 部分の下層に電極パッド 18 a とほぼ同じ大きさで形成し、その上部電極 13 b は電極配線層 18 に電気的に接続することにより、ゲート電極 13 a に流れる電荷量を低減してゲート絶縁膜 12 a の破壊を防止する。



【特許請求の範囲】

【請求項1】 半導体基板上の所定領域に形成された分離絶縁膜と、該分離絶縁膜にそれぞれが囲まれた第1の活性領域および第2の活性領域と、上記第1の活性領域にゲート絶縁膜を介して上記半導体基板上に形成されたゲート電極と、上記第2の活性領域に誘電体膜を介して上記半導体基板上に形成された導電層と、層間絶縁膜と、上記ゲート電極と電氣的に接続する配線層とを有し、上記導電層が、上記配線層下層に上記層間絶縁膜を介して配設され、かつ上記配線層に接続形成されたことを特徴とする半導体装置。

【請求項2】 誘電体膜がゲート絶縁膜と同一材料、同一厚さで構成され、かつ導電層がゲート電極と同一材料、同一厚さで構成されたことを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板上にメモリトランジスタと蓄積キャパシタとで構成されるメモリセルが配列されたメモリセル領域を有する半導体装置において、上記半導体基板上の所定領域に形成された分離絶縁膜と、該分離絶縁膜にそれぞれが囲まれた第1の活性領域および第2の活性領域と、上記第1の活性領域にゲート絶縁膜を介して上記半導体基板上に形成されたゲート電極と、上記第2の活性領域に上記メモリセルの上記蓄積キャパシタと同一材料、同一形状の第2の蓄積キャパシタが上記半導体基板上に1個または複数個集積され構成されたキャパシタと、層間絶縁膜と、上記ゲート電極と電氣的に接続する配線層とを有し、上記キャパシタが上記配線層下層に上記層間絶縁膜を介して配設され、かつ上記キャパシタの上部電極が上記配線層に接続形成されたことを特徴とする半導体装置。

【請求項4】 配線層が、該配線層と電氣的に接続する外部電極接続用電極パッドを有することを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 導電層またはキャパシタの上部電極が電極パッドとほぼ同じ大きさで該電極パッド下層に形成されたことを特徴とする請求項4記載の半導体装置。

【請求項6】 半導体基板上の所定領域に分離絶縁膜を形成する工程と、次いで上記半導体基板上の全面にゲート絶縁膜および誘電体膜となる酸化膜を形成する工程と、次いで上記酸化膜上に導電膜を形成した後該導電膜をパターンニングして上記ゲート酸化膜上にゲート電極を、上記誘電体膜上に導電層を形成する工程とを有することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項7】 半導体基板上の第2の活性領域に形成されるキャパシタが、メモリセル領域の蓄積キャパシタと、同一材料で同時形成することを特徴とする請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に係わり、特に半導体素子の電氣的な破壊を防止するための半導体装置に関するものである。

【0002】

【従来の技術】近年、半導体装置の高集積化に伴って、ますます微細なパターンのエッチングが必要とされている。それに伴い、異方性エッチング装置のプラズマ密度や高周波のパワーが大きくなった結果、半導体素子に与えるダメージが深刻になりつつある。通常の半導体装置は、入力端子からの異常な高電圧等の信号から半導体素子を保護するためにフィールドトランジスタと抵抗素子を用いることによって入力保護回路を備えている。また上述したような製造過程で半導体素子に与えられるダメージを緩和するものとして、例えば特開昭60-20548号公報に記載される従来の半導体装置について図8に基づいて以下に示す。図において、1は例えばシリコン単結晶からなる半導体基板（以下、基板と称す）、2はフィールド絶縁膜、3は基板1上に形成されたゲート絶縁膜、4はゲート絶縁膜3を介して基板1上に形成されたゲート電極、5は第1の層間絶縁膜、6は電極配線層、7は第2の層間絶縁膜、8は入力用アルミパッド（以下、パッドと称す）、9はフィールド絶縁膜2上に、ゲート電極4と同一の導電材料によりパッド8とほぼ同じ大きさに形成された導電層である。図に示すように、パッド8に接続されその下層に形成された電極配線層6は、ゲート電極4と導電層9とにそれぞれ接続孔を介して接続される。

【0003】すなわち、この半導体装置は、アルミ蒸着およびそのエッチングにより形成されるパッド8の下方に、層間絶縁膜5、7を介して予め例えばゲート電極4形成時にこれと同一の導電材料によりパッド8とほぼ同じ大きさの導電層9を形成させておき、パッド8形成時にこの導電層9とパッド8が接続されるようにすることにより、寄生容量を増加させ、製造工程中にパッド8に帯電された電荷がゲート電極4へ移動するのを抑制し、ゲート絶縁膜3の破壊を防止するものである。

【0004】

【発明が解決しようとする課題】従来の半導体装置は以上の様に構成されているため、導電層9は占有面積は大きいが比較的厚いフィールド絶縁膜2を介して基板1上に形成され、薄いゲート絶縁膜3を介して基板1上に形成されるゲート電極4に比べ、その寄生容量を十分に増加させることは困難であり、パッド8に帯電された電荷がゲート電極4へ移動してゲート絶縁膜3の破壊を招くことを十分に防ぐことが困難であった。

【0005】この発明は、上記のような問題点を解消するために成されたものであって、ゲート絶縁膜の電氣的な破壊が効果的に防止でき、信頼性の高い半導体装置を得ることを目的とする。

【0006】

【課題を解決するための手段】この発明に係わる請求項1記載の半導体装置は、半導体基板上の所定領域に形成された分離絶縁膜と、該分離絶縁膜にそれぞれが囲まれた第1の活性領域および第2の活性領域と、上記第1の活性領域にゲート絶縁膜を介して上記半導体基板上に形成されたゲート電極と、上記第2の活性領域に誘電体膜を介して上記半導体基板上に形成された導電層と、層間絶縁膜と、上記ゲート電極と電気的に接続する配線層とを有し、上記導電層が、上記配線層下層に上記層間絶縁膜を介して配設され、かつ上記配線層に接続形成されたものである。

【0007】この発明に係わる請求項2記載の半導体装置は、請求項1において、誘電体膜がゲート絶縁膜と同一材料、同一厚さで構成され、かつ導電層がゲート電極と同一材料、同一厚さで構成されたものである。

【0008】この発明に係わる請求項3記載の半導体装置は、半導体基板上にメモリトランジスタと蓄積キャパシタとで構成されるメモリセルが配列されたメモリセル領域を有する半導体装置であって、上記半導体基板上の所定領域に形成された分離絶縁膜と、該分離絶縁膜にそれぞれが囲まれた第1の活性領域および第2の活性領域と、上記第1の活性領域にゲート絶縁膜を介して上記半導体基板上に形成されたゲート電極と、上記第2の活性領域に上記メモリセルの上記蓄積キャパシタと同一材料、同一形状の第2の蓄積キャパシタが上記半導体基板上に1個または複数個集積され構成されたキャパシタと、層間絶縁膜と、上記ゲート電極と電気的に接続する配線層とを有し、上記キャパシタが上記配線層下層に上記層間絶縁膜を介して配設され、かつ上記キャパシタの上部電極が上記配線層に接続形成されたものである。

【0009】この発明に係わる請求項4記載の半導体装置は、請求項1～3のいずれかにおいて、配線層が、該配線層と電気的に接続する外部電極接続用電極パッドを有するものである。

【0010】この発明に係わる請求項5記載の半導体装置は、請求項4において、導電層またはキャパシタの上部電極が電極パッドとほぼ同じ大きさで該電極パッド下層に形成されたものである。

【0011】この発明に係わる請求項6記載の半導体装置の製造方法は、請求項2記載の半導体装置の製造方法であって、半導体基板上の所定領域に分離絶縁膜を形成する工程と、次いで上記半導体基板上の全面にゲート絶縁膜および誘電体膜となる酸化膜を形成する工程と、次いで上記酸化膜上に導電膜を形成した後該導電膜をパターニングして上記ゲート酸化膜上にゲート電極を、上記誘電体膜上に導電層を形成する工程とを有するものである。

【0012】この発明に係わる請求項7記載の半導体装置の製造方法は、請求項3記載の半導体装置の製造方法であって、半導体基板上の第2の活性領域に形成される

キャパシタが、メモリセル領域の蓄積キャパシタと、同一材料で同時形成するものである。

【0013】

【発明の実施の形態】実施の形態1. 以下、この発明の実施の形態1を図について説明する。図1(a)は、この発明の実施の形態1による半導体装置の構造を示す平面図であり、図1(b)は図1(a)のA-A線による断面図、図1(c)はB-B線による断面図である。図において、10は例えばシリコン単結晶からなる半導体基板(以下、基板と称す)、11は分離絶縁膜としてのフィールド絶縁膜、11a、11bはフィールド絶縁膜11にそれぞれ囲まれた第1の活性領域および第2の活性領域、12aは第1の活性領域11aの基板10上に形成された酸化膜から成るゲート絶縁膜、12bは第2の活性領域11bの基板10上に形成された誘電体膜としての酸化膜、13aはゲート絶縁膜12aを介して基板10上に形成されたポリシリコン膜から成るゲート電極、13bは酸化膜12bを介して基板10上に形成された導電層としてのポリシリコン膜である。また、14はゲート電極13aの両側に形成されたソース・ドレイン領域、15は層間絶縁膜、16は接続孔、17は接続孔16を介してソース・ドレイン領域14に接続形成されたアルミから成る電極配線層、18はポリシリコン膜13b上層からゲート電極13a上層に延在し、接続孔16を介してポリシリコン膜13bおよびゲート電極13aに接続形成された、同じくアルミから成る電極配線層、18aは電極パッドである。

【0014】このように構成される半導体装置の製造方法を以下に説明する。まず基板10の所定領域にフィールド絶縁膜11を形成し、それぞれがフィールド絶縁膜11に囲まれた第1の活性領域11aおよび第2の活性領域11bを形成する。次に、全面に薄い酸化膜を形成した後、その上の全面に導電膜としてのポリシリコン膜を形成し、このポリシリコン膜および下層の酸化膜を、レジストマスクを用いてパターニングして、第1の活性領域11aには、ゲート絶縁膜12aとその上にゲート電極13aとを、第2の活性領域11bには、酸化膜12bとその上にポリシリコン膜13bとをそれぞれ形成する。このときポリシリコン膜13bは、後工程で形成する電極配線層18の電極パッド18a部分とほぼ同じ大きさで、電極パッド18aの下層に配設されるように形成する。次に、イオン注入法により、第1の活性領域11aのゲート電極13aの両側にソース・ドレイン領域14を形成し、その後全面に層間絶縁膜15を形成する。

【0015】次に、層間絶縁膜15の所定の領域に接続孔16を開孔し、層間絶縁膜15上の全面に接続孔16を埋め込むようにアルミ膜を形成する。次に、全面にホトレジスト膜を形成し、パターニングする。このレジスト・パターンをマスクとして、上記アルミ膜を例えばR

IE装置によりエッチングして、ソース・ドレイン領域14に接続形成された電極配線層17と、ポリシリコン膜13b上層からゲート電極13a上層に延在し、ポリシリコン膜13bおよびゲート電極13aに接続形成された電極配線層18（電極パッド18aを含む）を形成する。その後、ホトレジスト膜を例えばプラズマアッシングにより除去する。この後、所定の処理を施して半導体装置を完成する。

【0016】上記実施の形態では、第2の活性領域11bに、基板10、酸化膜12bおよびポリシリコン膜13bで構成されるMOSキャパシタを形成する。このMOSキャパシタは、ゲート電極13aと電気的に接続する電極配線層18の電極パッド18a部分の下層に電極パッド18aとほぼ同じ大きさで形成され、その上部電極であるポリシリコン膜13bは電極配線層18に電気的に接続される。このMOSキャパシタの酸化膜12bおよびポリシリコン膜13bは、第1の活性領域11aに形成されるゲート絶縁膜12aおよびゲート電極13aとそれぞれ同一材料、同一厚さで同時形成されたものであるため、MOSキャパシタの容量とゲート電極13a側の寄生容量との容量比は、面積比に相当するものである。このため、ゲート電極13aに比べ十分大きな電極パッド18aとほぼ同じ大きさで形成されたポリシリコン膜13bを上部電極とするMOSキャパシタは、ゲート電極13a側の寄生容量に対して十分容量が大きいものである。

【0017】上記製造方法において、電極配線層17、18の形成におけるアルミ膜のエッチングおよびその後のレジスト除去の際、プラズマ中の電荷によりアルミ膜（電極配線層17、18）は帯電を起し易く、電極配線層18に接続されるゲート電極13aも帯電する。このときゲート電極13aの電荷がある臨界点を超えると、ゲート絶縁膜12aの破壊を誘発するが、この実施の形態では、電極配線層18に容量が十分大きなMOSキャパシタを接続したため、ゲート電極13aへ流れる電荷量が大きく低減でき、ゲート絶縁膜12aの破壊が効果的に防止できる。また、上記MOSキャパシタは、通常素子を形成しない領域である電極パッド18aの下層に形成したため、面積の増大を招くことなく大きな容量を得ることができる。

【0018】なお、上記実施の形態では電極配線層17、18が一層の場合を示したが、ゲート電極13aと接続される電極配線層18の上層に、接続孔を介してさらに上層配線層を接続形成してもよく、この上層配線層を形成する際にも、ゲート電極13aの帯電によるゲート絶縁膜12aの破壊が同様に防止できる。

【0019】実施の形態2。上記実施の形態1では、ポリシリコン膜13bを、電極パッド18aの下層に電極パッド18aとほぼ同じ大きさに形成したが、それに限るものではない。図2（a）は、この発明の実施の形態

2による半導体装置の構造を示す平面図であり、図2（b）は図2（a）のA-A線による断面図、図2（c）はB-B線による断面図である。図に示すように、ポリシリコン膜13bを電極パッド18a部分以外の電極配線層18の下層に形成したものである。後工程の例えばボンディングの際等に、電極パッド18aへのダメージが問題になる場合に有効であり、上記実施の形態1と同様にゲート絶縁膜12aの破壊が効果的に防止できる。

【0020】実施の形態3。また図3（a）は、この発明の実施の形態3による半導体装置の構造を示す平面図であり、図3（b）は図3（a）のA-A線による断面図、図3（c）はB-B線による断面図である。図に示すように、ポリシリコン膜13bを電極パッド18a部分からそれ以外の電極配線層18の部分まで、下層に大きく形成したものである。このため、広い面積でさらに大容量のMOSキャパシタを形成でき、ゲート電極13aへ流れる電荷量がさらに低減でき、ゲート絶縁膜12aの破壊がさらに効果的に防止できる。

【0021】また、上記実施の形態1～3で形成されるMOSキャパシタの酸化膜12bおよびポリシリコン膜13bは、第1の活性領域11aに形成されるゲート絶縁膜12aおよびゲート電極13aとそれぞれ同一材料、同一厚さで同時形成されたものであるため、製造工程を全く増やすことなく、大きな容量のMOSキャパシタが形成でき、上述した効果が得られる。

【0022】なお、酸化膜12bおよびポリシリコン膜13bは、ゲート絶縁膜12aおよびゲート電極13aと同時形成に限るものではなく、それぞれ同一材料、同一厚さで形成されていれば、上記実施の形態1～3で示したゲート絶縁膜12aの破壊防止効果が得られる。また、特に同一材料、同一厚さで無くても、第2の活性領域11b上に形成される酸化膜12bがフィールド絶縁膜11より薄いものであれば、従来技術で示したものより容量が大きくなり、ゲート絶縁膜12aの破壊防止効果が向上する。

【0023】実施の形態4。次に、この発明の実施の形態4について説明する。図4（a）は、この発明の実施の形態4による半導体装置の構造を示す平面図であり、図4（b）は図4（a）のA-A線による断面図、図4（c）はB-B線による断面図である。この半導体装置は、同一基板10上にメモリトランジスタと蓄積キャパシタとで構成されるメモリセルが配列されたメモリセル領域を有する半導体記憶装置である。図において、10、11、12a、13a、14～18および18aは、上記実施の形態1と同じもの、11cは第2の活性領域、15aは第1の層間絶縁膜、15bは第2の層間絶縁膜、19はポリシリコン膜から成る上部電極で、電極配線層18の電極パッド18a部分とほぼ同じ大きさで、電極パッド18aの下層に配設される。20は第2

- の活性領域 11c 上に複数個形成されたポリシリコン膜から成る下部電極、21 は下部電極 20 と上部電極 19 との間に形成された誘電体膜、22 は上部電極 19、下部電極 20 および誘電体膜 21 とで構成される第 2 の蓄積キャパシタ、23 は拡散層、24 は接続孔である。

【0024】図に示すように、第 2 の活性領域 11c に、複数個の第 2 の蓄積キャパシタ 22 を集積してキャパシタを形成する。このキャパシタの上部電極 19 は、ゲート電極 13a と電気的に接続する電極配線層 18 の電極パッド 18a 部分の下層に電極パッド 18a とほぼ同じ大きさで形成され、電極パッド 18a に電気的に接続される。この様な第 2 の蓄積キャパシタ 22 を集積して構成したキャパシタは、メモリセル領域の蓄積キャパシタを形成する際に同時形成することによって容易に形成できる。

【0025】図 5 はメモリセル領域の構造を示した断面図である。図において、25 はゲート絶縁膜、26 はワード線となるゲート電極、27 はソース・ドレイン領域、28 はゲート絶縁膜 25、ゲート電極 26 およびソース・ドレイン領域 27 で構成されたメモリトランジスタ、29 はビット線、30 は下部電極、31 は誘電体膜、32 は上部電極、33 は下部電極 30、誘電体膜 31 および上部電極 32 で構成された蓄積キャパシタである。図 4 に示す第 2 の蓄積キャパシタ 22 は、図 4 ではその形状を省略して簡便に示したが、図 5 で示すメモリセルの蓄積キャパシタ 33 と同様のものとする。

【0026】このように構成される半導体装置の製造方法を以下に説明する。まず基板 10 の所定領域にフィールド絶縁膜 11 を形成し、それぞれがフィールド絶縁膜 11 に囲まれた第 1 の活性領域 11a および第 2 の活性領域 11c を形成する。次に、メモリセル領域にメモリトランジスタを形成し、それと同時に、第 1 の活性領域 11a にゲート絶縁膜 12a、ゲート電極 13a、およびソース・ドレイン領域 14 を形成する。その後ビット線 29 を形成した後、ポリシリコン膜を形成してパターニングし、メモリセル領域に蓄積キャパシタ 33 の下部電極 30 を、第 2 の活性領域 11c に第 2 の蓄積キャパシタ 22 の下部電極 20 を同時形成する。次に、メモリセル領域に蓄積キャパシタ 33 の誘電体膜 31 を、第 2 の活性領域 11c に第 2 の蓄積キャパシタ 22 の誘電体膜 21 を同時形成する。次に、ポリシリコン膜を形成してパターニングし、メモリセル領域に蓄積キャパシタ 33 の上部電極 32 を、第 2 の活性領域 11c に第 2 の蓄積キャパシタ 22 の上部電極 19 を同時形成する。このとき上部電極 19 は、後工程で形成する電極配線層 18 の電極パッド 18a 部分とほぼ同じ大きさで、電極パッド 18a の下層に配設されるように形成する。

【0027】その後全面に層間絶縁膜 15 を形成した後、所定の領域に接続孔 16 を開孔し、層間絶縁膜 15 上の全面に接続孔 16 を埋め込むようにアルミ膜を形成

した後、パターニングする。これにより、ソース・ドレイン領域 14 に接続形成された電極配線層 17 と、上部電極 19 上層からゲート電極 13a 上層に延在し、上部電極 19 およびゲート電極 13a に接続形成された電極配線層 18 (電極パッド 18a を含む) を形成する。

【0028】この実施の形態では、ゲート電極 13a と電気的に接続する電極配線層 18 の電極パッド 18a 部分の下層に電極パッド 18a と接続して、電極パッド 18a とほぼ同じ大きさの上部電極 19 を有するキャパシタを形成し、このキャパシタを、メモリセル領域の蓄積キャパシタ 33 と同一材料、同一形状で同時形成される第 2 の蓄積キャパシタ 22 を複数個集積して構成する。このため、電極配線層 18 に容量が十分大きなキャパシタを接続することになり、ゲート電極 13a へ流れる電荷量が大きく低減でき、ゲート絶縁膜 12a の破壊が効果的に防止できる。また、上記キャパシタは、通常素子を形成しない領域である電極パッド 18a の下層に形成したため、面積の増大を招くことなく大きな容量を得ることができる。

【0029】なお、この実施の形態でも、電極配線層 18 の上層にさらに上層配線層を接続形成した多層配線構造のものにも適用できる。

【0030】また、この場合も、上記実施の形態 2 および 3 と同様に、第 2 の蓄積キャパシタ 22 を複数個集積したキャパシタを、図 6 に示すように電極パッド 18a 部分以外の電極配線層 18 の下層に形成しても、あるいは図 7 に示すように、電極パッド 18a 部分からそれ以外の電極配線層 18 の部分に延在する領域の下層に形成しても良い。また、第 2 の蓄積キャパシタ 22 を集積する個数は、ゲート電極 13 側の寄生容量に比べて容量が十分大きくとれば、特に限定するものではなく、1 個でも良い。

【0031】

【発明の効果】以上のように、この発明に係わる請求項 1 記載の半導体装置は、半導体基板上の所定領域に形成された分離絶縁膜と、該分離絶縁膜にそれぞれが囲まれた第 1 の活性領域および第 2 の活性領域と、上記第 1 の活性領域にゲート絶縁膜を介して上記半導体基板上に形成されたゲート電極と、上記第 2 の活性領域に誘電体膜を介して上記半導体基板上に形成された導電層と、層間絶縁膜と、上記ゲート電極と電気的に接続する配線層とを有し、上記導電層が、上記配線層下層に上記層間絶縁膜を介して配設され、かつ上記配線層に接続形成されたため、ゲート電極へ流れる電荷量が低減でき、ゲート絶縁膜の破壊防止効果が向上し、信頼性の高い半導体装置が得られる。

【0032】またこの発明に係わる請求項 2 記載の半導体装置は、請求項 1 において、誘電体膜がゲート絶縁膜と同一材料、同一厚さで構成され、かつ導電層がゲート電極と同一材料、同一厚さで構成されたため、ゲート電

極へ流れる電荷量が大きく低減でき、ゲート絶縁膜の破壊が効果的に防止でき、さらに信頼性の高い半導体装置が得られる。

【0033】またこの発明に係わる請求項3記載の半導体装置は、半導体基板上にメモリトランジスタと蓄積キャパシタとで構成されるメモリセルが配列されたメモリセル領域を有する半導体装置であって、上記半導体基板の所定領域に形成された分離絶縁膜と、該分離絶縁膜にそれぞれが囲まれた第1の活性領域および第2の活性領域と、上記第1の活性領域にゲート絶縁膜を介して上記半導体基板上に形成されたゲート電極と、上記第2の活性領域に上記メモリセルの上記蓄積キャパシタと同一材料、同一形状の第2の蓄積キャパシタが上記半導体基板上に1個または複数個集積され構成されたキャパシタと、層間絶縁膜と、上記ゲート電極と電気的に接続する配線層とを有し、上記キャパシタが上記配線層下層に上記層間絶縁膜を介して配設され、かつ上記キャパシタの上部電極が上記配線層に接続形成されたため、ゲート電極へ流れる電荷量が大きく低減でき、ゲート絶縁膜の破壊が効果的に防止でき、信頼性の高い半導体装置が得られる。

【0034】またこの発明に係わる請求項4記載の半導体装置は、請求項1～3のいずれかにおいて、配線層が、該配線層と電気的に接続する外部電極接続用電極パッドを有するため、電極パッドに帯電した電荷がゲート電極へ流れるのを抑制し、ゲート絶縁膜の破壊が効果的に防止でき、信頼性の高い半導体装置が得られる。

【0035】またこの発明に係わる請求項5記載の半導体装置は、請求項4において、導電層またはキャパシタの上部電極が電極パッドとはほぼ同じ大きさで該電極パッド下層に形成されたため、面積を増大させることなく、ゲート電極へ流れる電荷量が大きく低減でき、ゲート絶縁膜の破壊が効果的に防止でき、信頼性の高い半導体装置が得られる。

【0036】またこの発明に係わる請求項6記載の半導体装置の製造方法は、半導体基板の所定領域に分離絶縁膜を形成する工程と、次いで上記半導体基板の全面にゲート絶縁膜および誘電体膜となる酸化膜を形成する

工程と、次いで上記酸化膜上に導電膜を形成した後該導電膜をパターニングして上記ゲート酸化膜上にゲート電極を、上記誘電体膜上に導電層を形成する工程とを有するため、製造工程を増やすことなく、ゲート絶縁膜の破壊が効果的に防止でき、信頼性の高い半導体装置を容易に製造できる。

【0037】またこの発明に係わる請求項7記載の半導体装置の製造方法は、半導体基板の第2の活性領域に形成されるキャパシタが、メモリセル領域の蓄積キャパシタと、同一材料で同時形成するため、製造工程を増やすことなく、ゲート絶縁膜の破壊が効果的に防止でき、信頼性の高い半導体装置を容易に製造できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置の構造を示す平面図および断面図である。

【図2】 この発明の実施の形態2による半導体装置の構造を示す平面図および断面図である。

【図3】 この発明の実施の形態3による半導体装置の構造を示す平面図および断面図である。

【図4】 この発明の実施の形態4による半導体装置の構造を示す平面図および断面図である。

【図5】 この発明の実施の形態4による半導体装置のメモリセル領域の構造を示す平面図である。

【図6】 この発明の実施の形態4の変形例による半導体装置の構造を示す平面図である。

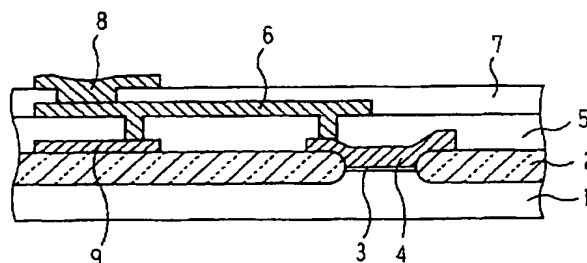
【図7】 この発明の実施の形態4の変形例による半導体装置の構造を示す平面図である。

【図8】 従来の半導体装置の構造を示す断面図である。

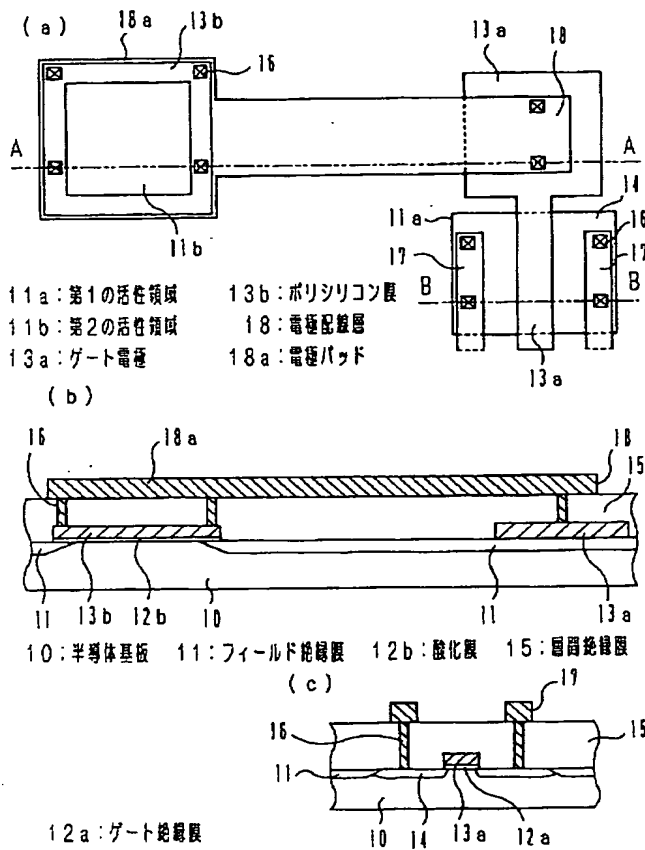
【符号の説明】

10 半導体基板、11 分離絶縁膜としてのフィールド絶縁膜、11a 第1の活性領域、11b、11c 第2の活性領域、12a ゲート絶縁膜、12b 誘電体膜としての酸化膜、13a ゲート電極、13b 導電層としてのポリシリコン膜、15 層間絶縁膜、18 電極配線層、18a 電極パッド、19 上部電極、22 第2の蓄積キャパシタ、28 メモリトランジスタ、33 蓄積キャパシタ。

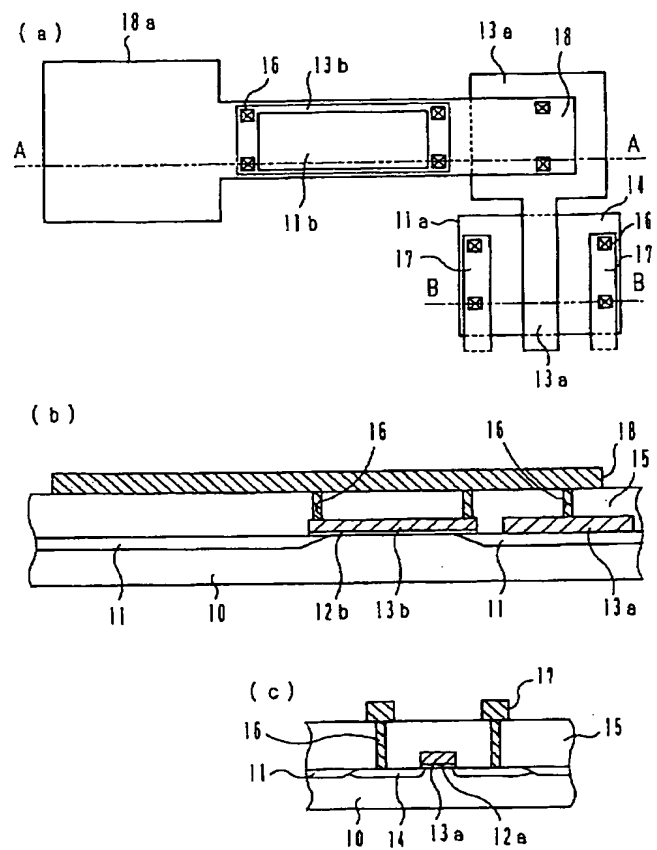
【図8】



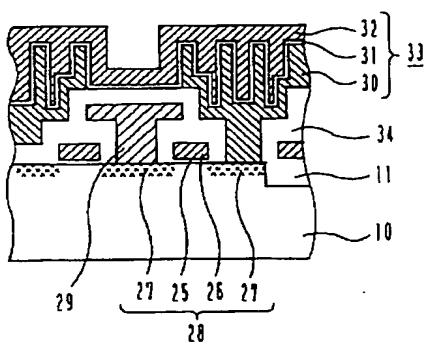
【図1】



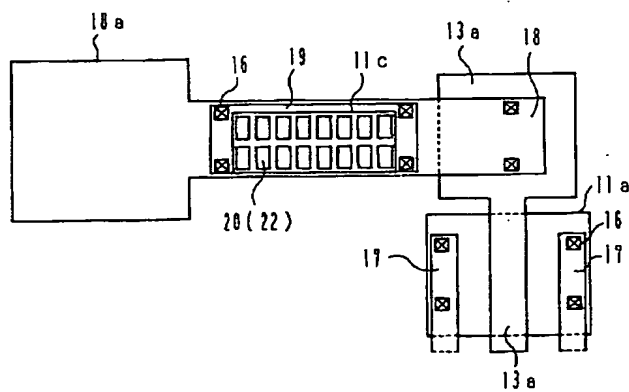
【図2】



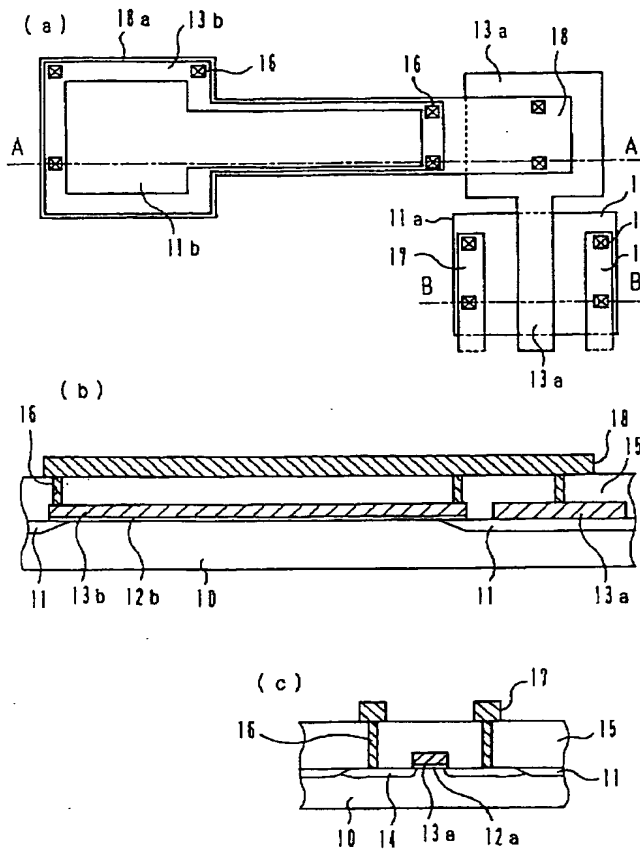
【図5】



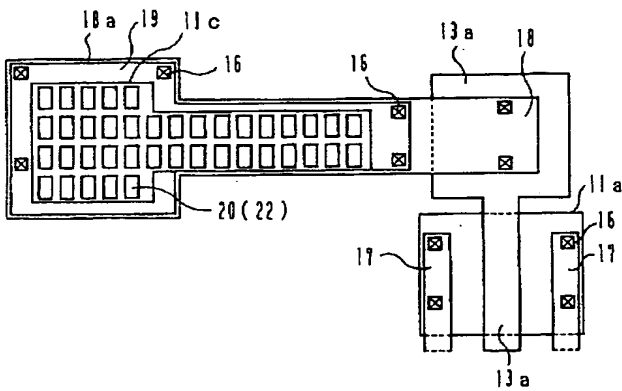
【図6】



【図3】



【図7】



【図4】

